

SEMICONDUCTOR DEVICE

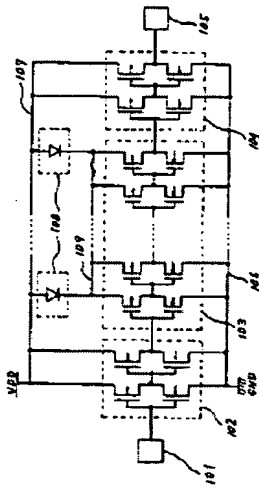
Publication number: JP1246861
Publication date: 1989-10-02
Inventor: KUMAGAI KOICHI; YOSHIDA TAKETO
Applicant: NIPPON ELECTRIC CO
Classification:
- **international:** H01L21/822; H01L27/04; H01L27/02; H01L21/70; H01L27/04; H01L27/02; (IPC1-7): H01L27/04
- **europaean:**
Application number: JP19880074981 19880328
Priority number(s): JP19880074981 19880328

Report a data error here

Abstract of JP1246861

PURPOSE:To decrease power consumption by a method wherein a voltage regulating diode is provided so that the power source potential level in an inner cell region logical circuit may be lower than the power source potential level in the input/output cell region input/output buffer.

CONSTITUTION:Input signals are supplied from an input pad 101 through an input buffer 102 into a logical circuit 103 in an inner cell region operating at a lower voltage. Output signals from the logical circuit 103 are yielded from an output buffer 104 through an output pad 105. At the GND side, a GND line 106 is equal in potential to the buffers 102 and 104 and logical circuit 103; at the power source side, a power line 107 for the buffers 102 and 104 is connected to a power source terminal VDD and is therefore kept at the level of the power source terminal VDD and the potential from the power source terminal VDD is supplied to a power line 109 for the logical circuit 103 through a voltage regulating diode 108. In such a design, the GND line 106 is lower in potential than the VDD present in the power line 109 by a quantity attributable to the voltage regulating diode 108, which reduces power consumption.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平1-246861

⑤Int. Cl.⁴
H 01 L 27/04識別記号 庁内整理番号
D-7514-5F

④公開 平成1年(1989)10月2日

審査請求 未請求 請求項の数 3 (全4頁)

⑭発明の名称 半導体装置

⑰特 願 昭63-74981

⑱出 願 昭63(1988)3月28日

⑲発 明 者 熊 谷 浩 一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲発 明 者 吉 田 健 人 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
半導体装置

2. 特許請求の範囲

- 1) 半導体基板上に入出力セル領域と内部セル領域と電源端子とを有し、前記入出力セル領域に形成される回路の電源線は前記電源端子に直接接続され、前記内部セル領域に形成される回路の電源線はダイオードを順方向に介して前記電源端子に接続されている事を特徴とする半導体装置。
- 2) 前記ダイオードはPN接合ダイオードである事を特徴とする特許請求の範囲第1項記載の半導体装置。
- 3) 前記ダイオードはゲート電極とドレイン電極とを接続した絶縁ゲート電界効果トランジスタである事を特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に、相補なチャンネル型の絶縁ゲート電界効果トランジスタで構成されるCMOS構造の半導体装置に関する。

〔従来の技術〕

従来、この種の半導体装置では、プロセスの微細化及び高電界化に伴なうトランジスタの耐圧の低下のため、さらには消費電力の低減を目的として低電圧化が進められようとしているが、一般に低電圧においては汎用ロジックとのインターフェイスが確立されておらず、周辺の製品な5V単一電源のものが主であるために、電源としては5V単一電源を要求されることが多い。

すなわち、従来のCMOS集積回路の回路例を第5図に示すように、入力パッド501に接続される入力バッファ502と出力パッド505に接続される出力バッファ504とこれらの間に接続される内部セル領域の論理回路503とはいずれもNチャンネルMOSFETとPチャンネルMOS

FETとで形成されるCMOS構造をしており、これらは共通に電源線307とGND線506とで給電されている。

〔発明が解決しようとする課題〕

上述した従来の半導体装置は、内部セル領域の論理回路503の動作電源電位は入出力セル領域の入出力バッファ502、505の動作電源電位と同電位（主として5V）となっているので、内部セル領域の論理回路503は定格電圧が7～8V以上である比較的大きなトランジスタを用いて設計する必要がある。このため、内部セル領域の論理回路503の動作速度および消費電力をさらに改善することは困難であるという欠点がある。

〔課題を解決するための手段〕

本発明によれば、半導体基板上に入出力セル領域と、内部セル領域と、電源端子と少なくとも1つのダイオードとを有し、入出力セル領域に形成される回路の電源線は電源端子に直接接続され、内部セル領域に形成される回路の電源線はダイオードを介して電源端子に接続された半導体装置

位が与えられるので、論理回路103の電源線109の電位 V_{DD} レベルより電圧調整用ダイオード108分低くなっている。

第2図は本発明の第2の実施例の回路図であり、電源端子 V_{DD} は入出力セル領域の入出力バッファ202、204の電源線207には直接接続されているが、内部セル領域の論理回路203の電源線209には電圧調整用ダイオード208を2段直列に介して接続されている。このため、内部セル領域の論理回路203の電源線209の電位を第1図の第1の実施例に比べ、さらに0.7～0.9V程度低く設定できる。

第3図は本発明の第3の実施例の回路図である。入力信号は入力パッド301から入出力セル領域の入力バッファ302を通じて低電圧動作の内部セル領域の論理回路303に入力される。低電圧動作の内部セル領域の論理回路303からの出力信号は、入出力セル領域の出力バッファ304から出力パッド305を通して出力される。GND線306の電位は、入出力セル領域の入出力バッ

を得る。このダイオードとしてはPN接合ダイオードやゲートとドレインとが接続されたMOSFET等のダイオードが利用される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の回路図である。入力信号は、入力パッド101から入出力セル領域上の入力バッファ102を通じて低電圧動作の内部セル領域の論理回路103に入力される。低電圧動作の内部セル領域の論理回路103からの出力信号は、出力バッファ104から出力パッド105を通して出力される。GND線106の電位は、入出力セル領域の入出力バッファ102、104と内部セル領域の論理回路103とで同電位であるのに対し、電源側は、入出力セル領域の入出力バッファ102、107の電源線107は電源端子 V_{DD} に接続されており、その電位が V_{DD} レベルに設定されているのに対し、電圧調整用ダイオード108を通して内部セル領域の論理回路103の電源線109に電源端子 V_{DD} から電源電

ファ302と304と内部セル領域の論理回路303とで同電位であるのに対し、電源側では、入出力セル領域の入出力バッファ302と304の電源線307が電源端子 V_{DD} に直接接続されて、その電位が V_{DD} レベルに設定されているのに対し、内部セル領域の論理回路303の電源線309にはゲートとドレインが短絡された電圧調整用nチャンネルトランジスタ308を通して電源端子に接続されており、内部セル領域の論理回路303の電源線309には V_{DD} レベルから電圧調整用nチャンネルトランジスタ308の電圧降下分低い電位が与えられている。

第4図は本発明の第4の実施例の回路図である。入出力セル領域の入出力バッファ402、404の電源線407は電源端子 V_{DD} に直接接続されているが、内部セル領域の論理回路403の電源線409には電源端子 V_{DD} から電圧調整用にゲートとドレインが短絡されたnチャンネルトランジスタ408を2段直列に介して接続されており、内部セル領域の論理回路403の電源線409の電

位を第3図の実施例に比べ、さらに0.5～1.0 V程度低く設定している。

〔発明の効果〕

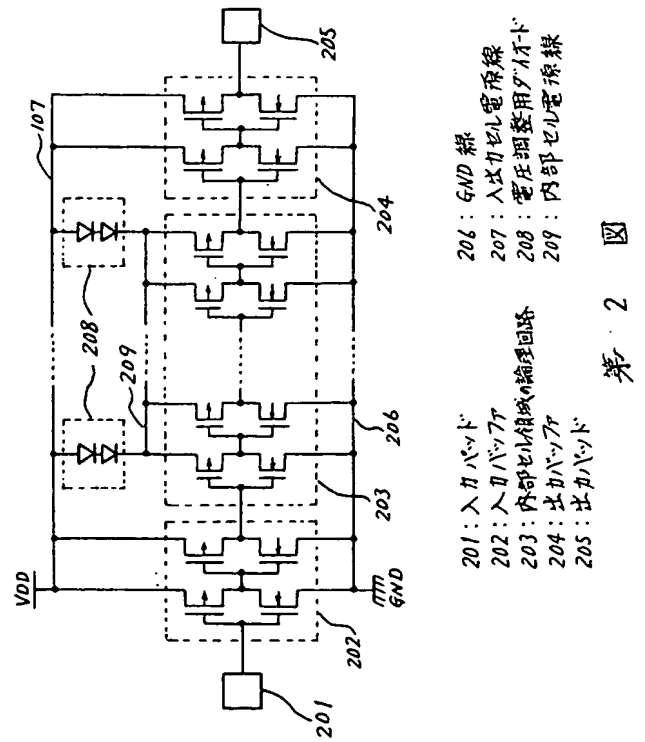
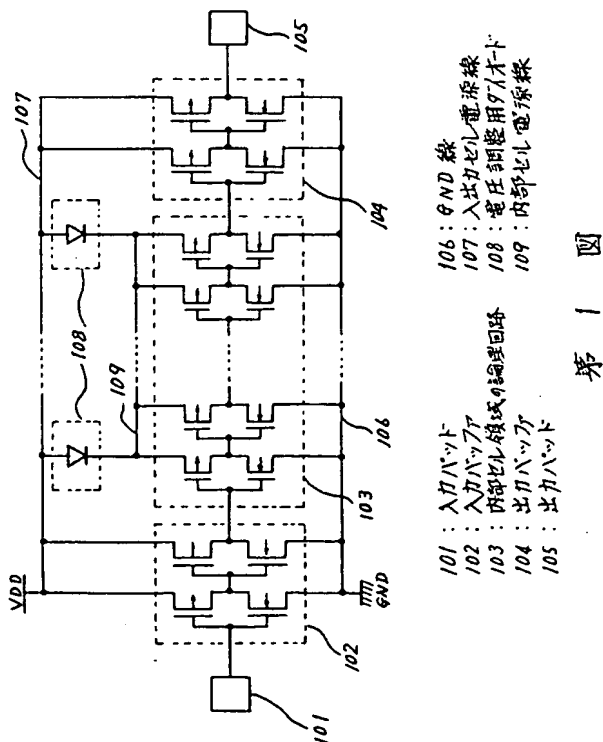
以上説明したように、本発明は、内部セル領域の論理回路の電源電位を入出力セル領域の入出力バッファの電源電位より電圧調整用ダイオードを設けて低くすることによって、内部セル内のトランジスタのチャンネル長を短くし、内部セル領域を低電圧動作させることが可能となり、これによって、従来の外部との5 V単一電源を用いた回路とインターフェイスを保ちながら、内部セル領域の論理回路の動作速度を上げ、消費電力を低減することができる。

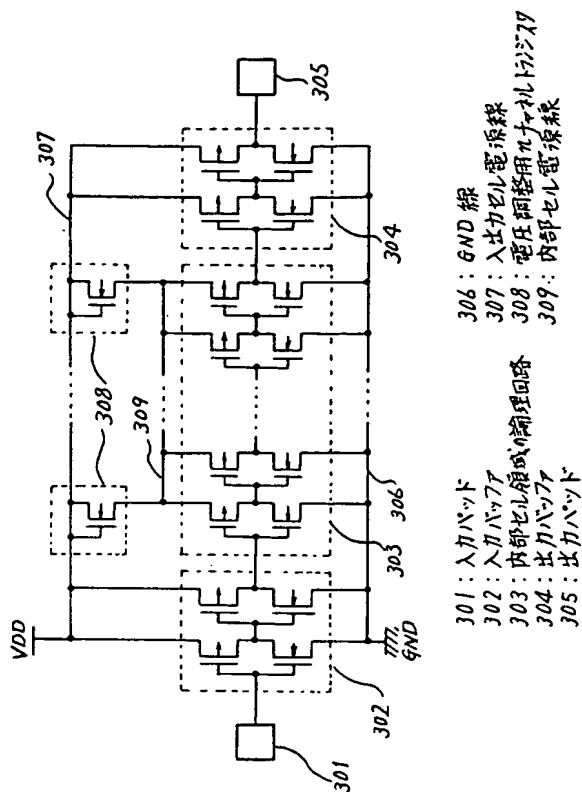
101, 201, 301, 401, 501……入力パッド、102, 202, 302, 402, 502……入力バッファ、103, 203, 303, 403, 503……内部セル領域の論理回路、104, 204, 304, 404, 504……出力バッファ、105, 205, 305, 405, 505……出力パッド、106, 206, 306, 406, 506……GND線、107, 207, 307, 407……入出力バッファ電源線、507……電源線、108, 208……電圧調整用ダイオード、308, 408……電圧調整用nチャンネルトランジスタ、209, 309, 409……内部セル電源線。

代理人 弁理士 内 原 晋

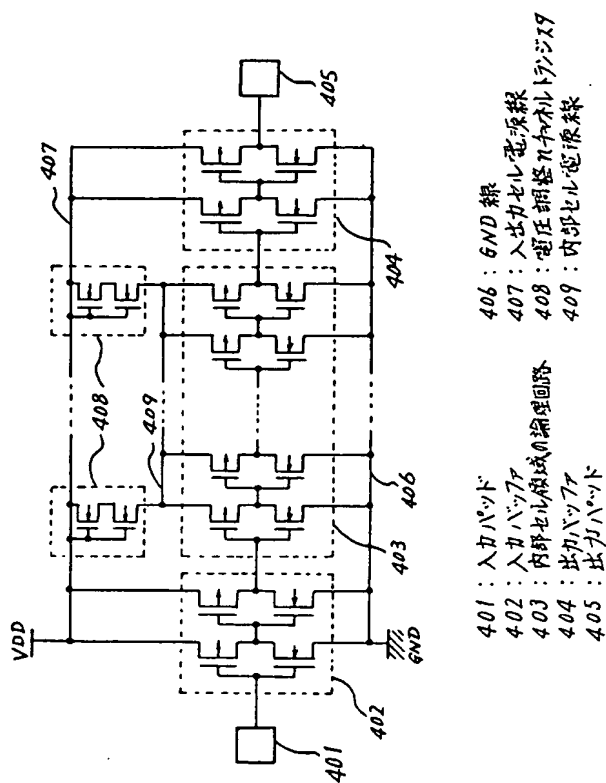
4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す回路図、第2図は本発明の第2の実施例を示す回路図、第3図は本発明の第3の実施例を示す回路図、第4図は本発明の第4の実施例を示す回路図、第5図は従来の例を示す回路図である。

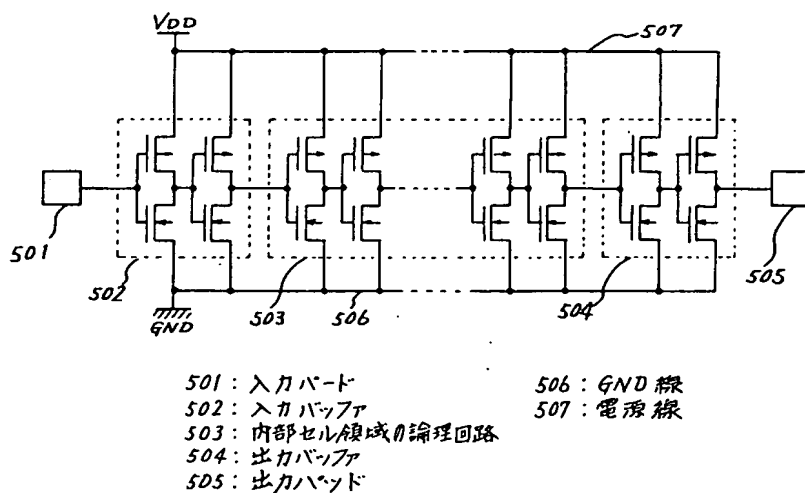




第 3 図



第 4 図



第 5 図